

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

16.06.00

REC'D 04 AUG 2000

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年 6月30日

E/KU

出願番号
Application Number:

平成11年特許願第184605号

出願人
Applicant(s):

シャープ株式会社

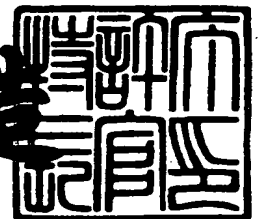
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3057436

【書類名】 特許願
【整理番号】 99-01920
【提出日】 平成11年 6月30日
【あて先】 特許庁長官 殿
【国際特許分類】 H04N 5/06
H04N 5/93
G11B 15/473

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 齋藤 修治

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 加藤 高明

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 高倉 英一

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【電話番号】 06-6621-1221

【代理人】

【識別番号】 100103296

【弁理士】

【氏名又は名称】 小池 隆彌

【電話番号】 06-6621-1221

【連絡先】 電話 0 4 3 - 2 9 9 - 8 4 6 6 知的財産権本部 東京

知的財産権部

【手数料の表示】

【予納台帳番号】 012313

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703283

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記録再生装置

【特許請求の範囲】

【請求項 1】 映像デジタル信号を記録・再生する記録再生装置において、
少なくとも 3 フレーム分のメモリと、

外部から入力された映像デジタル信号の同期信号にしたがって映像データを前記メモリに書き込む書き込み手段と、

前記同期信号にしたがって映像データを前記メモリから読み出す第 1 の読み出し手段と、

別途作成された自走同期信号にしたがって映像データを前記メモリから読み出す第 2 の読み出し手段と、

前記同期信号にしたがって、少なくとも前記メモリへの映像データの書き込みタイミングと読み出しタイミングを制御し、メモリのフレームページを管理するページ管理手段と、

を備え、前記ページ管理手段にしたがって前記第 1 の読み出し手段と前記第 2 の読み出し手段とを切換えることを特徴とする記録再生装置。

【請求項 2】 前記第 2 の読み出し手段は、

前記同期信号のフレーム長と予め設定された所定の標準値との長短差を検出するフレーム長検出手段と、

前記標準値より長い、第 1 のフレーム基準信号を作成する第 1 の内部カウンタと、

前記標準値より短い、第 2 のフレーム基準信号を作成する第 2 の内部カウンタと、

前記同期信号に基づいてウィンドウパルスを生成するウィンドウパルス生成部と、を備え、

前記フレーム長検出手段の検出結果より、

前記フレーム長が前記標準値と一致した場合は、前記第 1 の読み出し手段で前記メモリから映像データを読み出し、

前記フレーム長が前記標準値より長い場合は、前記第 1 のフレーム基準信号を

用いた前記第2の読み出し手段で前記メモリから映像データを読み出し、

前記フレーム長が前記標準値より短い場合は、前記第2のフレーム基準信号を用いた前記第2の読み出し手段で前記メモリから映像データを読み出し、

前記第1の読み出し手段から前記第2の読み出し手段への切り換わり時には、前記第1の内部カウンタ及び第2の内部カウンタをリセットし、

前記第2の読み出し手段から前記第1の読み出し手段への切り換わりは、前記ウィンドウパルス内に前記第1のフレーム基準信号または前記第2のフレーム基準信号が入った時に行われることを特徴とする請求項1に記載の記録再生装置。

【請求項3】 前記第2の読み出し手段は、

フィールドを判別するフィールド判別手段と、

フィールドの不連続を検出する不連続検出手段と、を備え、

前記フィールド判別手段で判別したフィールドから前記不連続検出手段によりフィールド不連続を検出した場合、メモリの書き込みページ及び読み出しページを保持することを特徴とする請求項1または請求項2に記載の記録再生装置。

【請求項4】 前記第2の読み出し手段は、

1フレーム中のライン数を検出するライン数検出手段を備え、

該ライン数検出手段で検出されたライン数が、予め設定された所定のライン数と異なる場合、メモリの書き込みページ及び読み出しページを保持することを特徴とする請求項1乃至請求項3の何れかに記載の記録再生装置。

【請求項5】 前記第2の読み出し手段は、

外部から入力された映像デジタル信号のブランク期間を検出するブランク検出手段と、

前記ブランク検出手段によりブランク期間を検出した場合、前記メモリから読み出される映像信号を強制的にミュートするマスク手段と、

を備えたことを特徴とする請求項1乃至請求項4の何れかに記載の記録再生装置。

【請求項6】 前記第2の読み出し手段は、

外部から入力された映像デジタル信号がインターレースかノンインターレースか判別するインターレース判別手段と、

前記インターレース判別手段により外部から入力された映像デジタル信号がノンインターレースと判別された場合、フィールド付け替えを行い、インターレースに変換するフィールド付け替え手段と、

を備えたことを特徴とする請求項 1 乃至請求項 5 の何れかに記載の記録再生装置。

【請求項 7】 前記インターレース判別手段の判別結果が変化した際、メモリの書き込みページ及び読み出しページの内容を保持することを特徴とする請求項 6 に記載の記録再生装置。

【請求項 8】 前記インターレース判別手段の判別結果が変化した際、予め設定された所定の期間前記判別結果を監視した後、メモリの書き込みページ及び読み出しページの内容を保持することを特徴とする請求項 6 に記載の記録再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、映像デジタル信号を記録・再生するデジタル信号装置に関するものであり、外部入力映像信号を記録する装置に関するものである。

【0002】

【従来の技術】

近年、デジタル信号処理技術の発展に伴い、映像信号などを高能率符号化したデジタルデータを記録再生する装置、例えばデジタルビデオカセットテープレコーダー（以下、DVCと称す）が普及してきている。

【0003】

この記録再生装置で、コンポジット信号等の外部入力映像信号を記録する方法が、特開平 7-177469 号公報に提案されている。

【0004】

上記提案の場合の一実施例を図 8 に示す。図 8 において、101 は I/O ブロック、102 は VSP ブロック、103 は DRP ブロック、104 は制御ブロック、105 は入力映像信号処理回路、106 はシャフリングメモリ、107 は直

交変換回路、108はフレーム化回路、109はPTGメモリ、110はエンコーダ、111はデコーダ、112はECCメモリ、113はデフレーム化回路、114は逆直交変換回路、115は出力映像信号処理回路、116は同期分離回路、117は同期検出回路、118はマルチプレクサ、119は垂直及び水平同期分離回路、120はI/Oコントロール信号発生回路、121はI/OPLL回路、122はVSPコントロール信号発生回路、123は2VSPPLL回路、124はDRPコントロール信号発生回路、125はDRPPLL回路、126はマルチプレクサ、127はPBPLL回路、128はリファレンス同期ジェネレータ、129はフレームパルス生成回路である。

【0005】

図8に示した記録再生装置は、映像信号の入出力処理を行なう入出力部であるI/Oブロック101（入出力処理部）と、映像データに対して所定の信号処理を行なうVSP（Video Signal Processing）ブロック102（圧縮伸長処理部）と、映像データの記録再生を行なう記録再生処理等を行なうDRP（Data Recording Playback）ブロック103（記録再生処理部）と、各ブロック101～103に必要なクロックをそれぞれ形成すると共に、装置全体の制御を行なう制御ブロック104で構成されている。

【0006】

この記録再生装置において、外部から入力される、例えばコンポジット信号の記録再生を行う場合を以下に説明する。

【0007】

まず制御ブロック104では、入力されたコンポジット信号は、同期分離回路116で同期信号が抽出され、同期検出回路117で同期信号が検出された時に、同期分離回路116からの同期信号がマルチプレクサ118を介して垂直及び水平同期分離回路119に供給される。尚、同期検出回路117で所定時間同期信号が検出されなかった場合でも、リファレンス同期ジェネレータ128からマルチプレクサ118を介して垂直及び水平同期分離回路119に同期信号が供給されるようになっている。

【0008】

垂直及び水平同期分離回路 119 で同期信号を垂直同期信号及び水平同期信号に分離し、水平同期信号は I/OPLL 回路 121 で位相が引き込まれ、正確なタイミングの水平同期信号が形成され、I/Oコントロール信号発生回路 120 に供給される。I/Oコントロール信号発生回路 120 では、水平同期信号をリファレンスとして、国際無線通信諮問委員会 (ITV-R) で勧告されている 13.5MHz のクロックが形成されると共に、I/Oコントロール信号が形成され、これらが I/Oブロック 101 に供給される。

【0009】

垂直同期信号は、フレームパルス生成回路 129 で映像信号のフレーム長が検出され、標準の周波数に対して ±1% 以内の時は供給された垂直同期信号からフレームパルスを生成（以下、外部入力同期信号と称す）し、標準の垂直同期信号に対して +1% 以上の時は +1% の、-1% 以下の時は -1% の独自のフレームパルスを生成（以下、内部自走同期信号と称す）し、2VSPPLL 回路 123 に供給する。

【0010】

尚、外部入力同期信号から内部自走同期信号へ切り換わる時は、供給された垂直同期信号で内部自走同期信号用カウンタをリセットすることで、出力するフレームパルスに連続性を持たせる。また内部自走同期信号から外部入力同期信号へ切り換わる時は、所定のウィンドウ幅を設けて、位相がウィンドウ内の時に切り換えを行なうことで、出力するフレームパルスに連続性を持たせる。

【0011】

2VSPPLL 回路 123 では、フレームパルスの位相が引き込まれ、正確なタイミングのフレームパルスが形成され、VSPコントロール信号発生回路 122 に供給される。VSPコントロール信号発生回路 122 からは、18MHz のクロックと、18MHz のクロックに基づいて形成される VSPコントロール信号が、VSPブロック 102 に供給される。

【0012】

また、DRPPLL 回路 125 では、2VSPPLL 回路 123 から供給され

るタイミング信号の位相が引き込まれ、正確なタイミングの41.85MHzのクロックが形成され、マルチプレクサ126を介してDRPコントロール信号発生回路124に供給する。DRPコントロール信号発生回路124からは、41.85MHzのクロックと、41.85MHzのクロックに基づいて形成されるDRPコントロール信号が、DRPブロック103に供給される。

【0013】

次にI/Oブロック101では、入力されたコンポジット信号は、入力映像信号処理回路105でサンプリングされると共にデジタル化され、さらに輝度データY及びクロマデータCが形成され、制御ブロック104から供給される13.5MHzのクロックにより、シャフリングメモリ106に書き込まれる。

【0014】

そしてVSPブロック102では、制御ブロック104から供給される18MHzのクロックで、シャフリングメモリ106から映像データを読み出し、直交変換回路107でデータ圧縮し、フレーム化回路108で1画像分の映像データを形成し、PTGメモリ109に書き込むと共にパリティを付加する。

【0015】

そしてDRPブロック103では、制御ブロック104から供給される41.85MHzのクロックで、PTGメモリ109から映像データを読み出し、エンコーダ110で所定の符号化処理を施し、記録ヘッド（図示せず）に出力する。

【0016】

次に、この記録再生装置において、再生を行う場合を以下に説明する。

【0017】

映像データは再生時において、再生ヘッド（図示せず）により再生され、デコーダ111に供給される。

【0018】

ここで、制御ブロック104では、上記デコーダ111（DRPブロック103内）で処理された映像データがPBPLL回路127に供給され、41.85MHzのクロックが形成され、マルチプレクサ126を介してDRPコントロール信号発生回路124に供給される。DRPコントロール信号発生回路124か

らは、41.85MHzのクロックとDRPコントロール信号が、DRPブロック103に供給される。また、DRPコントロール信号発生回路124では、テープに記録されたパイロット信号をもとにキャプスタン速度が制御される。即ち、再生ヘッドにより記録トラックを正確にトレースすることができ、従って映像データを正確に再生することができる。

【0019】

また、リファレンス同期ジェネレータ128から、マルチプレクサ118を介して、垂直及び水平同期分離回路119に同期信号が供給される。垂直及び水平同期分離回路119で分離された垂直同期信号は、フレームパルス生成回路129を介して、2VSPPLL回路123で位相が引き込まれ、VSPコントロール信号発生回路122で18MHzのクロックと、VSPコントロール信号が形成され、VSPブロック102に供給される。

【0020】

また、垂直及び水平同期分離回路119で分離された水平同期信号は、I/OPLL回路121で位相が引き込まれ、I/Oコントロール信号発生回路120で13.5MHzのクロックと、I/Oコントロール信号が形成され、I/Oブロック101に供給される。

【0021】

DRPブロック103では、上記のように再生データがデコータ111に供給され、所定の復号化処理が施され、制御ブロック104から供給される41.85MHzのクロックでECCメモリ112に書き込まれると共に、誤り訂正される。

【0022】

VSPブロック102では、制御ブロック104から供給される18MHzのクロックによりECCメモリ112から読み出され、デフレーム化回路113を介して逆直交変換回路114に供給され、VSPコントロール信号に基づいて逆直交変換処理され、18MHzのクロックにより、1画像分の映像データを形成するようにシャフリングメモリ106に書き込まれる。

【0023】

I/Oブロック101では、制御ブロック104から供給される13.5MHzのクロックによりシャフリングメモリ106から映像データが読み出され、出力映像信号処理回路115で、I/Oコントロール信号に基づいてコンボジットデータが形成されると共に、アナログ化されて外部に出力される。

【0024】

このようにして、記録時に外部入力映像データの垂直同期信号が、標準周波数の±1%以内の場合は、外部入力同期信号にしたがって、+1%以上及び-1%以下の場合は、それぞれ+1%、-1%の内部自走同期信号にしたがって映像データの記録を行うことができる。また、外部入力同期信号と内部自走同期信号の切り換わり時に、出力される垂直同期信号に連続性をもたせることができるため、記録ヘッドの回転数に関して、正確なドラムサーボをかけることができる。

【0025】

また、再生時には、テープに記録された映像データを、正確に再生することができる。

【0026】

【発明が解決しようとしている課題】

しかしながら、シャフリングメモリへの書き込みと読み出しが非同期のため、1フレーム分のデータの書き込みが終了する前に読み出しが始まった場合、上書きされる前の古いフレームのデータと混ざる現象が発生する。また、1フレーム分のデータの読み出しが終了する前に次フレームのデータの書き込みが始まった場合、上書きされた新しいフレームのデータと混ざる現象が発生する。これらの現象は、特に垂直同期信号の長さが標準信号に比べて恒常的に±1%以上の場合は頻繁に発生すると考えられるが、特開平7-177469ではこの件には触れていない。

【0027】

また、外部入力時の入力ソースによっては乱れた映像データが記録される可能性がある。その例として、つなぎ撮りされたテープ再生の入力によるフィールドの不連続や、チューナーからの入力中のチャンネル切り換えによるフィールドの不連続、1フレーム中のライン数の増減、異なるフレームデータの混在や、ゲー

ム機等のノンインターレース信号入力による片フィールドの連続や、ブランク信号入力による同期抜け及び復帰後の同期信号位相の不連続等が挙げられる。

【0028】

【課題を解決するための手段】

上記課題を解決するために、本発明は以下のような構成とした。

【0029】

即ち、映像デジタル信号を記録・再生する記録再生装置において、少なくとも3フレーム分のメモリと、外部から入力された映像デジタル信号の同期信号にしたがって映像データを前記メモリに書き込む書き込み手段と、前記同期信号にしたがって映像データを前記メモリから読み出す第1の読み出し手段と、別途作成された自走同期信号にしたがって映像データを前記メモリから読み出す第2の読み出し手段と、前記同期信号にしたがって、少なくとも前記メモリへの映像データの書き込みタイミングと読み出しタイミングを制御し、メモリのフレームページを管理するページ管理手段と、を備え、前記ページ管理手段にしたがって前記第1の読み出し手段と前記第2の読み出し手段とを切換えるようにした。

【0030】

ここで、前記第2の読み出し手段は、前記同期信号のフレーム長と予め設定された所定の標準値との長短差を検出するフレーム長検出手段と、前記標準値より長い、第1のフレーム基準信号を作成する第1の内部カウンタと、前記標準値より短い、第2のフレーム基準信号を作成する第2の内部カウンタと、前記同期信号に基づいてウィンドウパルスを生成するウィンドウパルス生成部と、を備え、前記フレーム長検出手段の検出結果より、前記フレーム長が前記標準値と一致した場合は、前記第1の読み出し手段で前記メモリから映像データを読み出し、前記フレーム長が前記標準値より長い場合は、前記第1のフレーム基準信号を用いた前記第2の読み出し手段で前記メモリから映像データを読み出し、前記フレーム長が前記標準値より短い場合は、前記第2のフレーム基準信号を用いた前記第2の読み出し手段で前記メモリから映像データを読み出し、前記第1の読み出し手段から前記第2の読み出し手段への切り換わり時には、前記第1の内部カウンタ及び第2の内部カウンタをリセットし、前記第2の読み出し手段から前記第1

の読み出し手段への切り換わりは、前記ウィンドウパルス内に前記第1のフレーム基準信号または前記第2のフレーム基準信号が入った時に行われるようにした。

【0031】

また、前記第2の読み出し手段は、フィールドを判別するフィールド判別手段と、フィールドの不連続を検出する不連続検出手段と、を備え、前記フィールド判別手段で判別したフィールドから前記不連続検出手段によりフィールド不連続を検出した場合、メモリの書き込みページ及び読み出しページを保持するようにしても良く、

また、前記第2の読み出し手段は、1フレーム中のライン数を検出するライン数検出手段を備え、該ライン数検出手段で検出されたライン数が、予め設定された所定のライン数と異なる場合、メモリの書き込みページ及び読み出しページを保持するようにしても良い。

【0032】

更に、前記第2の読み出し手段は、外部から入力された映像デジタル信号のブランク期間を検出するブランク検出手段と、前記ブランク検出手段によりブランク期間を検出した場合、前記メモリから読み出される映像信号を強制的にミュートするマスク手段と、を備えても良く、

また、前記第2の読み出し手段は、外部から入力された映像デジタル信号がインターレースかノンインターレースか判別するインターレース判別手段と、前記インターレース判別手段により外部から入力された映像デジタル信号がノンインターレースと判別された場合、フィールド付け替えを行い、インターレースに変換するフィールド付け替え手段と、を備えても良い。

【0033】

ここで、前記インターレース判別手段の判別結果が変化した際、メモリの書き込みページ及び読み出しページの内容を保持することが好ましく、

更には、前記インターレース判別手段の判別結果が変化した際、予め設定された所定の期間前記判別結果を監視した後、メモリの書き込みページ及び読み出しページの内容を保持することが好ましい。

【0034】

【発明の実施の形態】

以下、本発明の一実施例について説明する。

【0035】

まず、映像データのシャフリングについて説明する。

【0036】

映像データを圧縮、記録する場合に直交変換を行なうが、その際に情報量のバラツキを小さくして圧縮効率を向上させるために、シャフリング処理（映像データの並べ換え処理）が行われている。

【0037】

上記シャフリング処理を簡単に行うためには、1フレーム分の映像データを記憶できるメモリを2個用意し、一方が書き込みを行っている間に他方は1フレーム前のデータを書き込み時とは異なった順序で読み出すという方法（バンク方式）を用いればよい。

【0038】

しかしながら、従来はメモリのコストが高く、上記バンク方式で必要とされる2フレーム分のメモリは、容量が大きすぎてコストパフォーマンスが悪いため、それを解決する手段として、1フレーム分のメモリを使用してシャフリング処理を行う方法が用いられていた。

【0039】

図4を用いて、1フレーム分のメモリでシャフリング処理を行う方法の一例を説明する。図4は標準モード・525/60方式の1フレーム分のメモリを示す図であり、図4において51はY信号DCTブロック、52はCr信号DCTブロック、53はCb信号DCTブロック、54はマクロブロック、55はスーパーブロックである。

【0040】

まず、メモリへの書き込みは、1stフィールドのデータが横方向に1ラインおきに240ライン、続いて2ndフィールドのデータが同様に240ライン書き込まれる。

【0041】

次に、読み出しはDCTブロックと呼ばれる、水平方向サンプリング数8、垂直方向サンプリング数8のブロックを最小単位として行われる。このDCTブロックは、Y信号DCTブロック51が4つ、Cr信号DCTブロック52が1つ、Cb信号DCTブロック53が1つの合計6つでマクロブロック54単位にまとめられ、さらにマクロブロック54が27個でスーパーブロック55にまとめられる。最初に読み出されるのは図4中で斜線で示したスーパーブロック55であり、Y0からY3までのY信号DCTブロック51、Cr信号DCTブロック52、Cb信号DCTブロック53の順にマクロブロック54の単位で読み出され、各5つのスーパーブロック55中の0から26までのマクロブロック54が読み出されると、順次下の段のスーパーブロック55に移動して読み出しが行われる。

【0042】

そして、次のフレームのデータは、読み出しが終了したスーパーブロック55に書き込みを行い、以降順次読み出しが終了したブロックに書き込みを行うことで、1フレーム分のメモリでシャフリング処理を実現している。

【0043】

ここで、上記1フレーム分のメモリで行うシャフリング処理方法について、上記課題の前後フレームのデータが混ざる現象について検証する。書き込み周期より読み出し周期が短い場合は、次第に書き込みが間に合わなくなるため、まだ書き込みが終了していないスーパーブロック55の読み出しが行われることになり、前フレームのデータと混ざったデータの読み出しが行われる。書き込み周期より読み出し周期が長い場合は、次第に読み出しが間に合わなくなるため、まだ読み出しが終了していないスーパーブロック55に次のフレームの書き込みが行われることになり、次フレームのデータと混ざったデータの読み出しが行われる。

【0044】

以上により、1フレーム分のメモリでシャフリング処理を行った場合、書き込み周期と読み出し周期が異なると前後のフレームのデータが混ざる現象が発生する。しかも書き込み／読み出しのアドレス巡回規則が破綻するため、アドレス巡

回をリセットしないと復帰できない可能性もあり、使用は難しい。

【0045】

しかし、最近ではメモリの大容量化及び量産効果による低価格化により、外付けメモリを用いる場合、1フレーム分の専用メモリより汎用メモリを用いる方がコスト的に有利になってきている。現在コスト的にも入手しやすいのが16MbitのDRAMであり、1フレーム分のデータ量が最も多い標準モード・625/50方式(4.75Mbit)でも3フレーム分確保できる。したがって上記バンク方式を用いることができる。以下に2フレーム分のメモリを使用したバンク方式を用いた場合と、3フレーム分のメモリを使用してシャフリング処理を行った場合の、書き込み周期と読み出し周期が異なる時の比較を行う。

【0046】

まず、書き込み周期より読み出し周期が短い場合について、図を用いて説明する。

【0047】

図6は書き込み周期より読み出し周期が短い場合であり、(a)は2フレーム分、(b)は3フレーム分のメモリを使用した場合である。図中のXは、シャフリングしながら読み出しを開始するのに、十分なデータが書き込み終了している(標準モードで2ndフィールドの216ライン)位置であり、読み出しはこのXの位置を越えたデータに対して行うこととする。また、図中のYは、読み出し終了位置であり、これより前に書き込みが開始された場合はデータが混ざる。また、メモリの1フレーム目をA、2フレーム目をB、3フレーム目をCとする。

【0048】

図6(a)において、A1の書き込み終了位置XよりA1の読み出しが先になるため、B0を2度読みするが、B0の読み出し終了位置Yより前にB1の書き込みが開始されるため、B0とB1のデータが混ざって読み出される。次にA1の読み出しが行われるが、A1の読み出し終了位置Yより前にA2の書き込みが開始されるため、A1とA2のデータが混ざって読み出される。続いて同様にB1の読み出しではB1とB2のデータが混ざって読み出される。その次のA2の読み出しで、読み出し終了位置Yまで次のA3の書き込みが開始されないで、

データの混ざりのない正常な読み出しに復帰する。

【0049】

図6 (b)において、C0の書き込み終了位置XよりC0の読み出しが先になるため、B0を2度読みするが、C0の書き込み終了後はA1の書き込みとなるため、2度目のB0の読み出しはデータの混ざりのない正常な読み出しとなり、以後もデータが混ざることはない。

【0050】

したがって、2フレーム分のメモリを使用してシャフリング処理を行った場合は、読み出しと書き込みが重なっている期間はフレームのデータが混ざって読み出される。読み出し周期と書き込み周期の位相差により、データが混ざる場合と正常の場合とが周期的に現われる。尚、この時の混ざるデータには2フレームの時間差がある。3フレーム分のメモリを使用してシャフリング処理を行った場合は、2度読みを行うことで、データが混ざることはない。

【0051】

次に、書き込み周期より読み出し周期が長い場合について、図を用いて説明する。

【0052】

図7は書き込み周期より読み出し周期が短い場合であり、(a)は2フレーム分、(b)は3フレーム分のメモリを使用した場合である。図中のXは、図6と同様にシャフリングしながら読み出しを開始するのに、十分なデータが書き込み終了している(標準モードで2ndフィールドの216ライン)位置である。読み出しはこのXの位置を越えたデータに対して行うこととする。また、図中のYも図6と同様に、読み出し終了位置であり、これより前に書き込みが開始された場合はデータが混ざる。また、メモリの1フレーム目をA、2フレーム目をB、3フレーム目をCとする。

【0053】

図7 (a)において、B0の読み出し終了位置Yより前にB1の書き込みが開始されるため、B0とB1のデータが混ざって読み出される。次にA1の読み出しが行われるが、読み出し終了位置Yより前にA2の書き込みが開始されるため

、A 1 と A 2 のデータが混ざって読み出される。続いて同様に B 1 の読み出しでは B 1 と B 2 のデータが、A 2 の読み出しでは A 2 と A 3 のデータが混ざって読み出される。その次の読み出しは、A 3 の書き込み終了位置 X を越えているので、B 2 の読み出しを行わずにドロップし、A 3 の読み出しを行うことで、データの混ざりのない正常な読み出しに復帰する。

【0054】

図 7 (b) において、B 1 の読み出しの次の読み出しは、A 2 の書き込みが終了位置 X を越えているので、C 1 の読み出しを行わずにドロップし、A 2 の読み出しを行うことで、データの混ざりのない正常な読み出しとなる。

【0055】

したがって、2 フレーム分のメモリを使用してシャフリング処理を行った場合は、読み出しと書き込みが重なっている期間はフレームのデータが混ざって読み出される。読み出し周期と書き込み周期の位相差により、データが混ざる場合と正常の場合とが周期的に現われる。尚、この時の混ざるデータには 2 フレームの時間差がある。3 フレーム分のメモリを使用してシャフリング処理を行った場合は、ドロップを行うことで、データが混ざることはない。

【0056】

以上により、シャフリングメモリへの書き込みと読み出しが非同期の場合、3 フレーム分のメモリを使用することで、データが混ざることなくシャフリング処理が行える。

【0057】

次に、3 フレーム分のシャフリングメモリを使用した、本実施例で使用する記録再生装置の説明を行う。

【0058】

図 1 は、本実施例で使用する、記録再生装置の回路の一例を示す図である。図 1 において、1 は I/O ブロック、2 は VSP ブロック、3 は DRP ブロック、4 は制御ブロック、5 は入力映像信号処理回路、6 はシャフリングメモリ、7 は直交変換回路、8 はフレーム化回路、9 は PTG メモリ、10 はエンコーダ、11 はデコーダ、12 は ECC メモリ、13 はデフレーム化回路、14 は逆直交変

換回路、15は出力映像信号処理回路、16は同期分離回路、17は垂直及び水平同期分離回路、18はI/OPLL回路、19はマルチプレクサ、20はI/Oコントロール信号発生回路、21は13.5MHzクロック発振回路、22は4/1PLL回路、23は分周器、24はフレームパルス生成カウンタ、25はVSPコントロール信号発生回路、26はDRPPLL回路、27はDRPコントロール信号発生回路、28は外部入力制御回路、29は位相比較器、30はデータマスク回路である。

【0059】

図1に示した記録再生装置は、映像信号の入出力処理を行なう入出力部であるI/Oブロック1（入出力処理部）と、映像データに対して所定の信号処理を行なうVSP（Video Signal Processing）ブロック2（圧縮伸長処理部）と、映像データの記録再生を行なう記録再生処理等を行なうDRP（Data Recording Playback）ブロック3（記録再生処理部）と、各ブロック1～3に必要なクロックをそれぞれ形成すると共に、装置全体の制御を行なう制御ブロック4で構成されている。

【0060】

この記録再生装置において、外部から入力される、例えばコンポジット信号の記録再生を行う場合を以下に説明する。

【0061】

まず制御ブロック4では、入力されたコンポジット信号は、同期分離回路16で同期信号が抽出され、垂直及び水平同期分離回路17に供給される。

【0062】

垂直及び水平同期分離回路17で同期信号を垂直同期信号及び水平同期信号に分離し、I/OPLL回路18で水平同期信号をリファレンスとして、国際無線通信諮問委員会（ITV-R）で勧告されている13.5MHzのクロックが形成され、マルチプレクサ19を介してI/Oコントロール信号発生回路20に供給される。I/Oコントロール信号発生回路20では、I/Oコントロール信号が形成され、13.5MHzのクロックと共にI/Oブロック1に供給される。

【0063】

垂直同期信号は、外部入力制御回路 28 で映像信号のフレーム長が標準の場合に、外部入力同期信号としてフレームパルス生成の基準となり、映像信号のフレーム長が非標準の周波数の場合には、自走カウンタによる内部自走同期信号がフレームパルス生成の基準となり、位相比較器 29 に供給される。

【0064】

また 13.5MHz クロック発振回路 21 では 13.5MHz のクロックが形成され、4/1 PLL 回路 22 と DRP PLL 回路 26 に供給される。4/1 PLL 回路 22 では 13.5MHz のクロックが 4 倍され、54MHz のクロックが形成されて分周器 23 に供給される。分周器 23 では 54MHz のクロックが 1/3 分周されて 18MHz のクロックが形成され、FP カウンタ 24 と VSP コントロール信号発生回路 25 に供給される。

【0065】

FP カウンタ 24 では 18MHz のクロックでカウントされたフレームパルスが生成され、VSP コントロール信号発生回路 25 と位相比較器 29 と外部入力制御回路 28 に供給される。位相比較器 29 では FP カウンタ 24 からのフレームパルスと、外部入力制御回路 28 からのフレームパルス基準が比較され、その結果が 13.5MHz クロック発振回路 21 に供給されて位相が合う方向に制御される。VSP コントロール信号発生回路 25 では、分周器 23 からの 18MHz のクロックと、FP カウンタ 24 からのフレームパルスに基づいて形成される VSP コントロール信号が、18MHz のクロックと共に VSP ブロック 2 に供給される。また外部入力制御回路 28 で、シャフリングメモリのページ管理信号とマスク信号の形成が行われ、VS ブロック 2 に供給される。

【0066】

また DRP PLL 回路 26 では、13.5MHz クロック発振回路 21 からの 13.5MHz のクロックが 31/10 倍されて 41.85MHz のクロックが形成され、DRP コントロール信号発生回路 27 に供給される。DRP コントロール信号発生回路 27 では、41.85MHz のクロックに基づいて DRP コントロール信号を形成し、41.85MHz のクロックと共に DRP ブロック 3 に供給される。

【0067】

次にI/Oブロック1では、入力されたコンポジット信号は、入力映像信号処理回路5でサンプリングされると共にデジタル化され、さらに輝度データY及びクロマデータCが形成され、制御ブロック4から供給される13.5MHzのクロックにより、外部入力制御回路28からのページ管理にしたがって、シャフリングメモリ6に書き込まれる。

【0068】

そしてVSPブロック2では、制御ブロック4から供給される18MHzのクロックで、外部入力制御回路28からのページ管理にしたがって、シャフリングメモリ6から映像データを読み出し、データマスク回路30で外部入力制御回路28からのマスク信号にしたがってマスク処理を施し、直交変換回路7でデータ圧縮し、フレーム化回路8で1画像分の映像データを形成し、PTGメモリ9に書き込むと共にパリティを付加する。

【0069】

そしてDRPブロック3では、制御ブロック4から供給される41.85MHzのクロックで、PTGメモリ9から映像データを読み出し、エンコーダ10で所定の符号化処理を施し、記録ヘッド（図示せず）に出力する。

【0070】

次に、この記録再生装置において、再生を行う場合を以下に説明する。

【0071】

まず制御ブロック4では、13.5MHzクロック発振回路21で形成された13.5MHzのクロックが、DRPPLL回路26で31/10倍されて41.85MHzのクロックが形成され、DRPコントロール信号発生回路27に供給される。DRPコントロール信号発生回路27では、41.85MHzのクロックに基づいてDRPコントロール信号を形成し、41.85MHzのクロックと共にDRPブロック3に供給される。またDRPコントロール信号発生回路27では、再生ヘッド（図示せず）からデコーダ11を介して供給されるテープに記録されたパイロット信号に基づいて、キャプスタン速度が制御される。即ち、再生ヘッドにより記録トラックを正確にトレースすることができ、従って映像デ

ータを正確に再生することができる。

【0072】

また13.5MHzクロック発振回路21で形成された13.5MHzのクロックが4/1PLL回路22に供給され、4倍されて54MHzのクロックが形成されて分周器23に供給される。分周器23では54MHzのクロックが1/3分周されて18MHzのクロックが形成され、FPカウンタ24とVSPコントロール信号発生回路25に供給される。FPカウンタ24では18MHzのクロックでカウントされたフレームパルスが生成され、VSPコントロール信号発生回路25に供給される。

【0073】

VSPコントロール信号発生回路25では、分周器23からの18MHzのクロックと、FPカウンタ24からのフレームパルスに基づいて形成されるVSPコントロール信号が、18MHzのクロックと共にVSPブロック2に供給される。

【0074】

また分周器23で54MHzのクロックが1/4分周されて13.5MHzのクロックが形成され、マルチプレクサ19を介してI/Oコントロール信号発生回路20に供給される。I/Oコントロール信号発生回路20では、I/Oコントロール信号が形成され、13.5MHzのクロックと共にI/Oブロック1に供給される。

【0075】

DRPブロック3では、再生ヘッド（図示せず）により再生された映像データがデコータ11に供給され、所定の復号化処理が施され、制御ブロック4から供給される41.85MHzのクロックでECCメモリ12に書き込まれると共に、誤り訂正される。

【0076】

VSPブロック2では、制御ブロック4から供給される18MHzのクロックによりECCメモリ12から映像データが読み出され、デフレーム化回路13を介して逆直交変換回路14に供給され、VSPコントロール信号に基づいて逆直

交変換処理され、18MHzのクロックにより、1画像分の映像データを形成するようにシャフリングメモリ6に書き込まれる。

【0077】

I/Oブロック1では、制御ブロック4から供給される13.5MHzのクロックによりシャフリングメモリ6から映像データが読み出され、出力映像信号処理回路15で、I/Oコントロール信号に基づいてコンポジットデータが形成されると共に、アナログ化されて外部に出力される。

【0078】

ここで、外部入力制御回路28について、さらに詳しく説明する。

【0079】

図2は、外部入力制御回路28の詳細を示す回路ブロック図である。図2において、31は外部同期信号処理回路、32はフィールド不連続検出回路、33はライン数エラー検出回路、34はインターレース/ノンインターレース判別回路、35はリファレンスページ生成回路、36はブランク検出回路、37はマスク信号生成回路、38はフレーム長判定回路、39は長フレーム基準パルス生成回路、40は短フレーム基準パルス生成回路、41はマルチプレクサである。

【0080】

まず、外部入力映像信号が乱れた場合について説明する。

【0081】

入力された垂直同期信号と水平同期信号から、フィールド不連続検出回路32でフィールド不連続判定を行う。また、前フィールドのフィールド不連続判定の結果を保持する。

【0082】

同様に、垂直同期信号と水平同期信号から、ライン数エラー検出回路33で1フィールド中のライン数が所定の値を満たしているか判断し、満たしていない場合にエラーフラグを立てる。また前フィールドのライン数判定結果を保持する。

【0083】

次に、インターレース/ノンインターレース判別回路34で、垂直同期信号にしたがってフィールド毎に、フィールド不連続検出回路32からのフィールド不

連続判定と、前フィールドのフィールド不連続判定を参照し、フィールド不連続が所定の回数を越えた場合に、フラグを立てるとともに 1st/2nd フィールドの疑似付け替え信号を出力する。尚、フィールドが連続が正常に戻った場合も、正常の連続が所定の回数を越えた場合にフラグをリセットする。

【0084】

外部同期信号処理回路 31 では、入力された垂直同期信号と水平同期信号から、フレームのスタートを検出するが、インターレース/ノンインターレース判別回路 34 のフラグが立っている場合は、1st/2nd フィールドの疑似付け替え信号にしたがってフレームのスタートを検出する。

【0085】

そしてこれらの結果を元に、リファレンスページ生成回路 35 でシャフリングメモリのページ管理を行う。まず外部同期信号処理回路 31 からのフレームスタート信号にしたがって、フレームスタート時にページを確定する。インターレースモードの時は、ライン数判定、前フィールドのライン数判定、フィールド不連続判定、前フィールド不連続判定の全てがエラーでない時のみ、リファレンスページを更新する。ノンインターレースモードの時は、ライン数判定、前フィールドのライン数判定がエラーでない時のみ、リファレンスページを更新する。それ以外の場合はリファレンスページは更新されず、保持される。このリファレンスページを元に、書き込みページは外部同期のフレームの先頭で、リファレンスページに 1 を加えてセットし、読み出しページはフレームパルスの先頭で、リファレンスページの値をそのままセットする。

【0086】

また、マスク信号は次のように生成される。ブランク信号が入ってきた場合は、水平同期信号が来なくなるため、ブランク検出回路 36 では水平同期信号の周期を測定し、周期が所定の値を越えた場合にブランクと判定する。また、ライン数エラー検出回路 33 からのライン数判定の値も参照し、ブランク判定又はライン数エラーの際に、水平同期信号エラーフラグを立てる。そしてマスク信号生成回路 37 で、フレームパルスの先頭で水平同期信号エラーフラグを参照し、所定の回数分連続した場合にマスク信号を出力する。

【0087】

次に、外部入力映像信号のフレーム長が変動する場合について説明する。

【0088】

外部同期信号処理回路 31 からのフレームスタート信号を基準に、フレーム長判定回路 38 でフレーム長が判定され、フレームが長い場合はロングフラグが立ち、短い場合はショートフラグが立つ。また切り換えタイミングのウィンドウパルス生成回路 39 で作成される、標準のフレーム長より所定の長さ分長い内部自走同期信号が、マルチプレクサ 41 を介して出力される。ショートフラグが立った場合、短フレーム基準パルス生成回路 40 で作成される、標準のフレーム長より所定の長さ分短い内部自走同期信号が、マルチプレクサ 41 を介して出力される。またフレーム長が標準であり、ロングフラグもショートフラグも立たない場合は、フレームスタート信号が外部入力同期信号として、マルチプレクサ 41 を介して出力される。

【0089】

尚、外部入力同期信号から内部自走同期信号への切り換えの位相を合わせるために、外部入力同期信号で動作している時は、長フレーム基準パルス生成回路 39 及び短フレーム基準パルス生成回路 40 の内部自走カウンタは、フレームスタート信号でリセットされる。また内部自走同期信号から外部入力同期信号への切り換え時は、フレーム長判定回路 38 で生成されたウィンドウパルスを参照し、ウィンドウパルス内に内部自走同期信号が来るまで切り換えを行わないことで位相を合わせる。

【0090】

上記、外部入力制御回路の処理の流れを図 3 に示す。

【0091】

以上のような処理により、外部入力映像データが乱れた場合のデータの読み書きがどのように行われるかを、図 5 を用いて説明する。

【0092】

図 5 (a) は、つなぎ撮り等によるフィールド不連続 (1 s t フィールド連続

) の場合である。図5 (a) において、A1の1stフィールドの書き込みの次は、フィールド検出でA2の1stフィールドが検出されるため、フィールド不連続となりフィールドエラーフラグが立ち、書き込みページAと読み出しページCが保持される。A1の1stフィールドのデータだけ書き込まれたページAにA2のデータが上書きされ、前フィールドエラーフラグの解除後にページ保持が解除されてA2のデータが読み出されるため、正常な映像データが出力される。

【0093】

また、図示してはいないが2ndフィールド連続の場合も、同様にページの保持により正常な映像データが出力される。

【0094】

次に、図5 (b) はインターレースからノンインターレース (1stフィールドのみ) に切り換わった場合である。図5 (b) において、A1の1stフィールドの書き込みの次は、フィールド検出でA2の1stフィールドが検出されるため、フィールド不連続となりフィールドエラーフラグが立ち、書き込みページAと読み出しページCが保持される。

【0095】

しかし、A2の1stフィールドの書き込みの次は、フィールド検出でA3の1stフィールドが検出され、以下1stフィールドが連続して検出されるため、フィールドエラーフラグは立ったままとなる。フィールド不連続カウンタは、フィールドエラーフラグの立ち上がりでリセットされ、フィールドエラーフラグと前フィールドエラーフラグの両方が立っている間カウンタアップし、フィールドエラーが何回続いているが数える。そして所定の回数 (図では4回) 続いた場合にノンインターフラグを立て、疑似フィールド付け換え信号を発生し、A7の疑似1stフィールド、疑似2ndフィールドを書き込む。以降、ページ保持が解除され、B7以降の書き込みが順次行われ、読み出しもC0の次からA7以降が読み出され、正常な映像データが出力される。

【0096】

2ndフィールドのみのノンインターレースの場合も同様である。また、図示してはいないが、ノンインターレースからインターレースへ切り換わった場合も

同様に、フィールドエラーの解除の連続をカウントし、所定の回数続いたところでノンインターフラグを解除する。そして切り換わるまでの期間、ページを保持することで、正常な映像データが出力される。

【0097】

次に、図5(c)はライン数変動(減少)が有った場合である。図5(c)において、A1の1stフィールドのライン数が所定の値より少ないと判定され、ライン数エラーフラグが立ち、書き込みページAと読み出しページCが保持される。A1のライン数不足のデータが書き込まれたページAにA2のデータが上書きされ、前フィールドエラーフラグの解除後にページ保持が解除されてA2のデータが読み出されるため、正常な映像データが出力される。また、図示してはいないがライン数が増加した場合も、同様にページの保持により正常な映像データが出力される。

【0098】

次に、図5(d)はブランク入力の場合である。ブランク入力は入力同期信号が来なくなるのだが、垂直同期信号が来なくなる場合、水平同期信号が来なくなる場合、垂直同期信号と水平同期信号の両方が来なくなる場合の3つの場合が考えられるが、図5(d)は垂直同期信号が来なくなる場合を示している。図5(d)において、A1の1stフィールドの書き込み中に垂直同期信号が来なくなるが、水平同期信号は動作し続けているためにライン数カウント値が所定の値より多いと判定され、ライン数エラーフラグが立ち、書き込みページAと読み出しページCが保持される。

【0099】

そしてライン数エラーフラグと水平同期信号の周波数エラーフラグ(図示せず)のORをとった水平同期エラーフラグが立つ。以後もライン数エラーフラグが立ったままとなるため、水平同期エラーフラグも立ったままとなる。水平同期エラーカウンタは水平同期エラーフラグの立ち上がりでリセットされ、水平同期エラーフラグと前フレーム水平同期エラーフラグの両方が立っている間カウンタアップし、水平同期エラーが何回続いているが数える。そして所定の回数(図では4回)続いた場合にブランクフラグを立て、読み出しデータを例えばブラックミ

ユート信号にマスクする。

【0100】

また、図示してはいないが水平同期信号が来ない場合、及び垂直同期信号と水平同期信号の両方が来なくなる場合は、水平同期信号が来ない場合で兼用しており、水平同期信号が来なくなった場合に水平同期信号の周波数エラーフラグ（図示せず）が立ち、ライン数エラーフラグと水平同期信号の周波数エラーフラグのORをとった水平同期エラーフラグが立つ。以後は上記と同様に水平同期エラーが何回続いているが数え、所定の回数続いた場合にブランクフラグを立て、読み出しデータをマスクする。

【0101】

以上、説明したように、記録時に外部入力映像データの垂直同期信号が標準周波数でない場合は、内部自走同期信号にしたがって、標準周波数の場合は、外部入力同期信号にしたがって映像データの記録を行うことができる。また、外部入力同期信号と内部自走同期信号の切り換えは位相がとぶことなく行うことができる。また、3フレーム分のシャフリングメモリを用いることで、フレームのデータが混ざらなく、さらにフレームページを管理すること、及び映像データの強制マスクを行なうことで、外部入力映像データに乱れがあっても正常な映像データを記録することができる。

【0102】

【発明の効果】

以上のような方法により、本発明では、3フレーム分のシャフリングメモリを用いることで、フレームのデータが混ざることなく記録が行え、またコンポジット信号等の外部入力映像データの同期信号が乱れた場合でも、外部入力同期信号の乱れを検出し、3フレーム分のシャフリングメモリのフレームページを管理すること、及び映像データの強制マスクを行なうことで、正常な映像データが記録されるため、記録時の画質を高めた記録再生装置を実現することができる。

【0103】

また外部入力同期信号と内部自走同期信号の切り換えがスムーズに行われるため、記録ヘッドの回転数に関して、正確なドラムサーボをかけることができ、入

力信号に忠実な記録を行うことができる。

【図面の簡単な説明】

【図 1】

本発明に係る記録再生装置を示すブロック図である。

【図 2】

本発明に係る記録再生装置の外部入力制御回路の詳細を示すブロック図である。

【図 3】

本発明に係る記録再生装置の外部入力制御回路の処理の流れを示すフローチャートである。

【図 4】

標準モード・525/60方式の1フレーム分のメモリを示す図である。

【図 5】

外部入力映像データが乱れた場合のデータの読み書きを示すタイミングチャートである。

【図 6】

書き込み周期より読み出し周期が短い場合のデータの読み書きを示すタイミングチャートである。

【図 7】

書き込み周期より読み出し周期が長い場合のデータの読み書きを示すタイミングチャートである。

【図 8】

従来の記録再生装置を示すブロック図である。

【符号の説明】

- 1 I/Oブロック
- 2 VSPブロック
- 3 DRPブロック
- 4 制御ブロック
- 5 入力映像信号処理回路

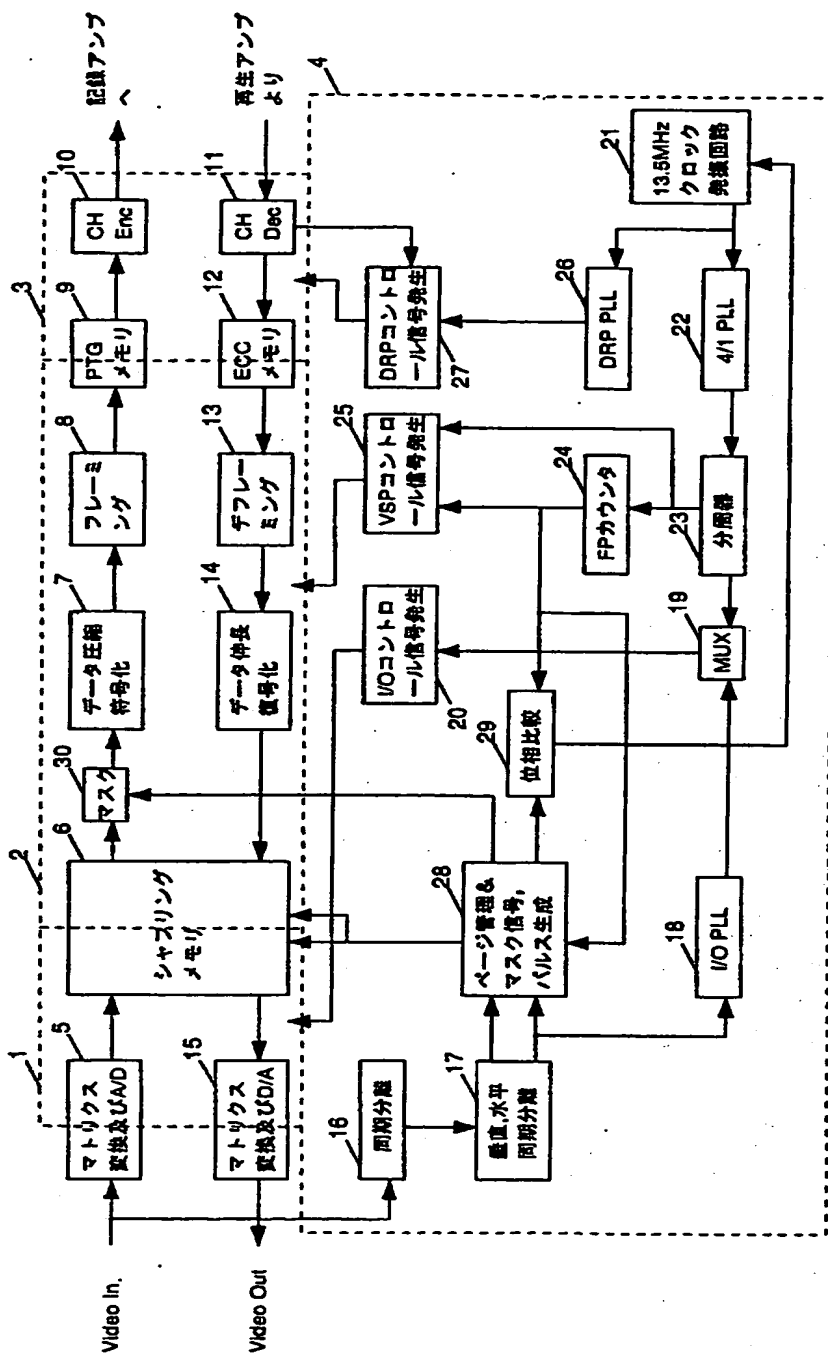
- 6 シャフリングメモリ
- 7 直交変換回路
- 8 フレーム化回路
- 9 PTGメモリ
- 10 エンコーダ
- 11 デコーダ
- 12 ECCメモリ
- 13 デフレーム化回路
- 14 逆直交変換回路
- 15 出力映像信号処理回路
- 16 同期分離回路
- 17 垂直及び水平同期分離回路
- 18 I/OPLL回路
- 19 マルチプレクサ
- 20 I/Oコントロール信号発生回路
- 21 13.5MHzクロック発振回路
- 22 4/1PLL回路
- 23 分周器
- 24 フレームパルス生成カウンタ
- 25 VSPコントロール信号発生回路
- 26 DRPLL回路
- 27 DRPコントロール信号発生回路
- 28 外部入力制御回路
- 29 位相比較器
- 30 データマスク回路
- 31 外部同期信号処理回路
- 32 フィールド不連続検出回路
- 33 ライン数エラー検出回路
- 34 インターレース/ノンインターレース判別回路

- 35 リファレンスページ生成回路
- 36 ブランク検出回路
- 37 マスク信号生成回路
- 38 フレーム長判定回路
- 39 長フレーム基準パルス生成回路
- 40 短フレーム基準パルス生成回路
- 41 マルチプレクサ
- 51 Y信号DCTブロック
- 52 Cr信号DCTブロック
- 53 Cb信号DCTブロック
- 54 マクロブロック
- 55 スーパーブロック
- 101 I/Oブロック
- 102 VSPブロック
- 103 DRPブロック
- 104 制御ブロック
- 105 入力映像信号処理回路
- 106 シャフリングメモリ
- 107 直交変換回路
- 108 フレーム化回路
- 109 PTGメモリ
- 110 エンコーダ
- 111 デコーダ
- 112 ECCメモリ
- 113 デフレーム化回路
- 114 逆直交変換回路
- 115 出力映像信号処理回路
- 116 同期分離回路
- 117 同期検出回路

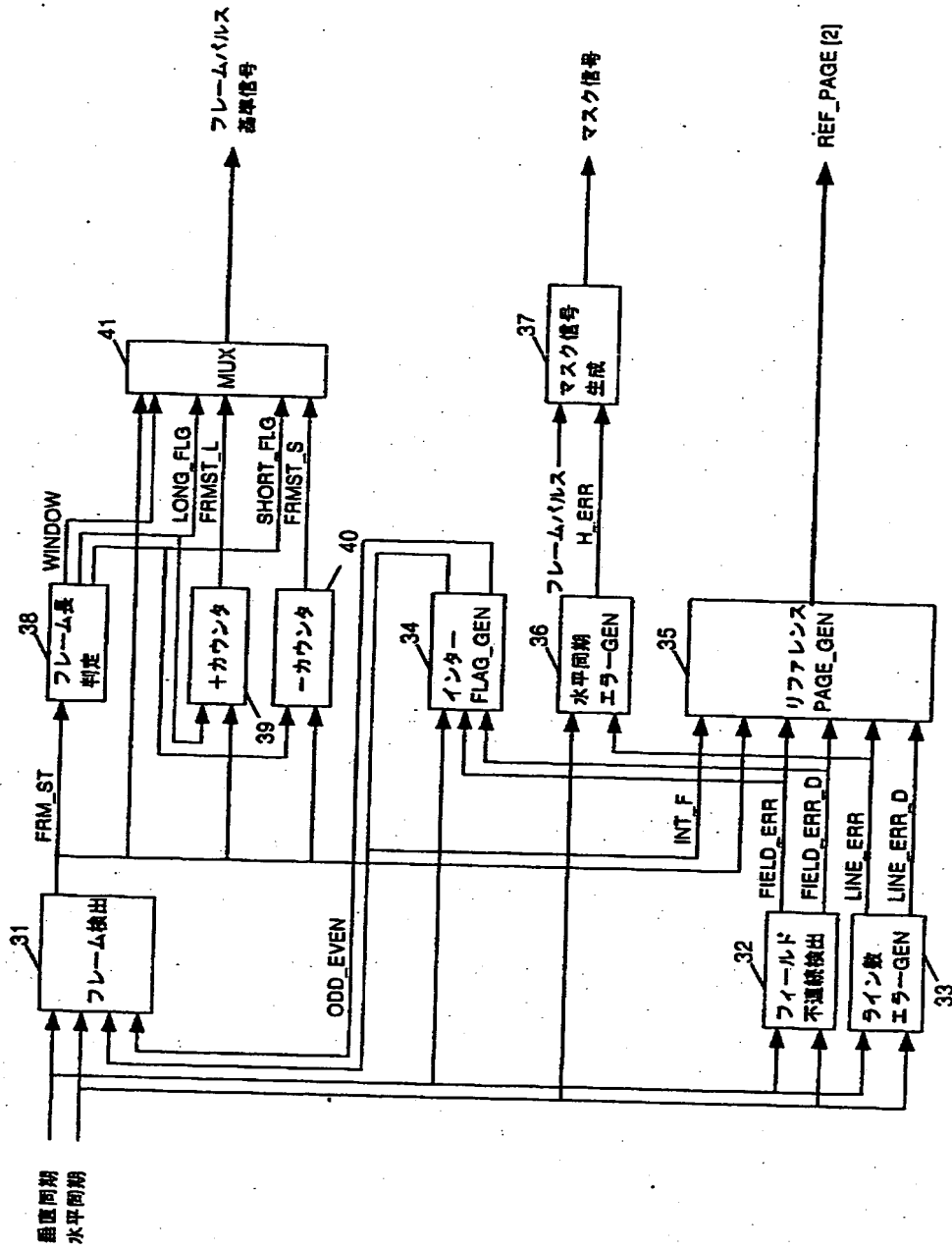
- 118 マルチプレクサ
- 119 垂直及び水平同期分離回路
- 120 I/Oコントロール信号発生回路
- 121 I/OPLL回路
- 122 VSPコントロール信号発生回路
- 123 2VSPPLL回路
- 124 DRPコントロール信号発生回路
- 125 DRPPLL回路
- 126 マルチプレクサ
- 127 PBPLL回路
- 128 リファレンス同期ジェネレータ
- 129 フレームパルス生成回路

【書類名】 図面

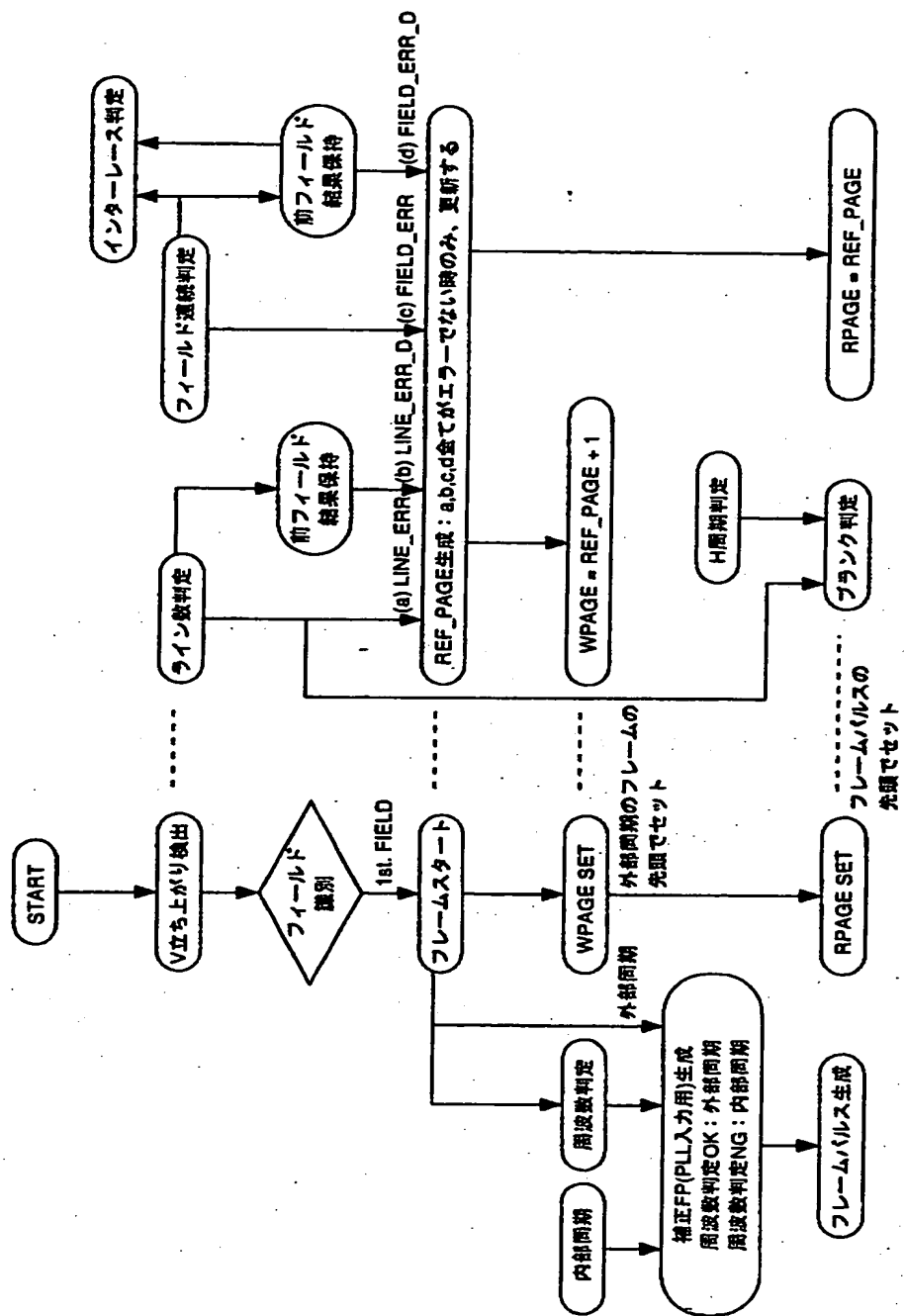
【図 1】



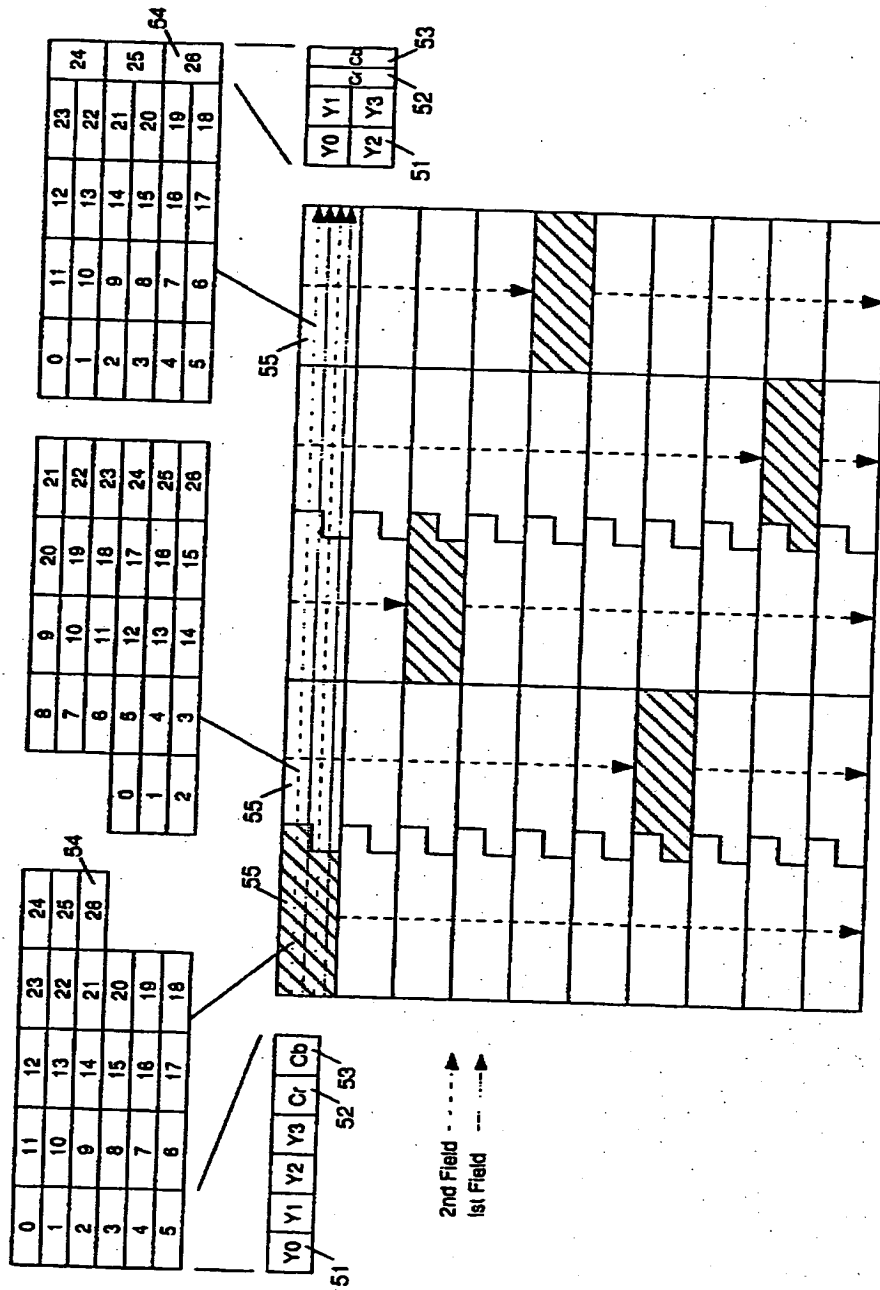
【図 2】

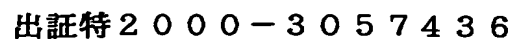


【圖 3】

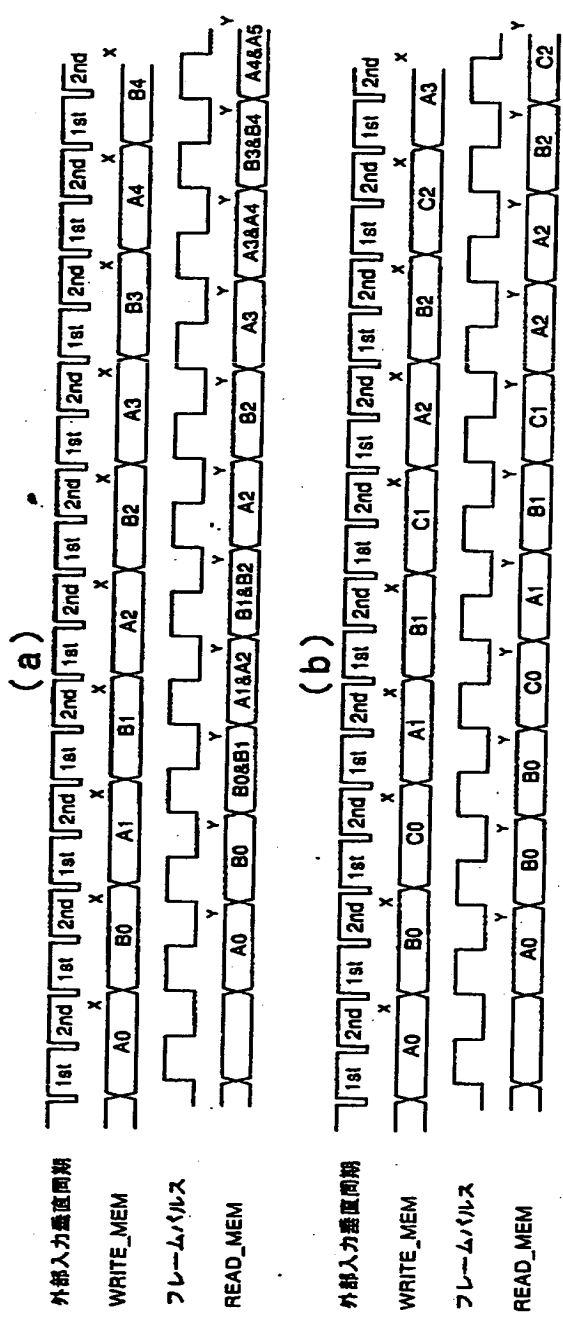


【図 4】

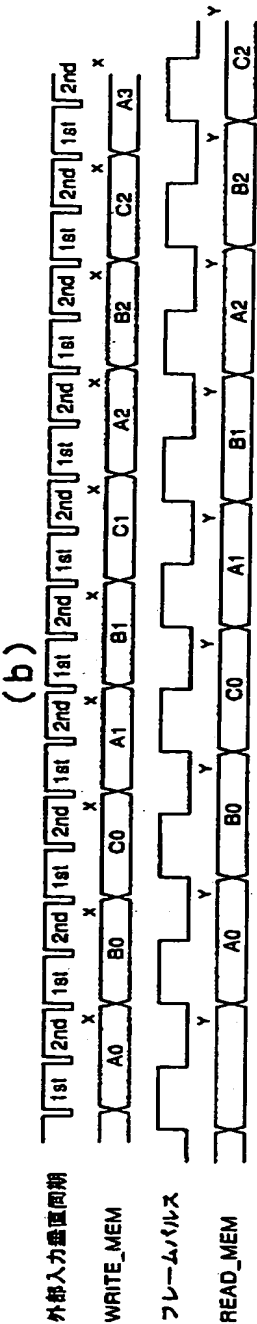
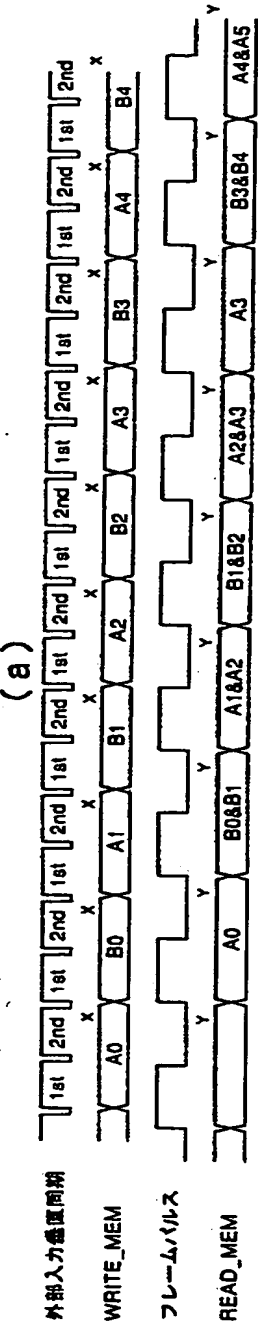




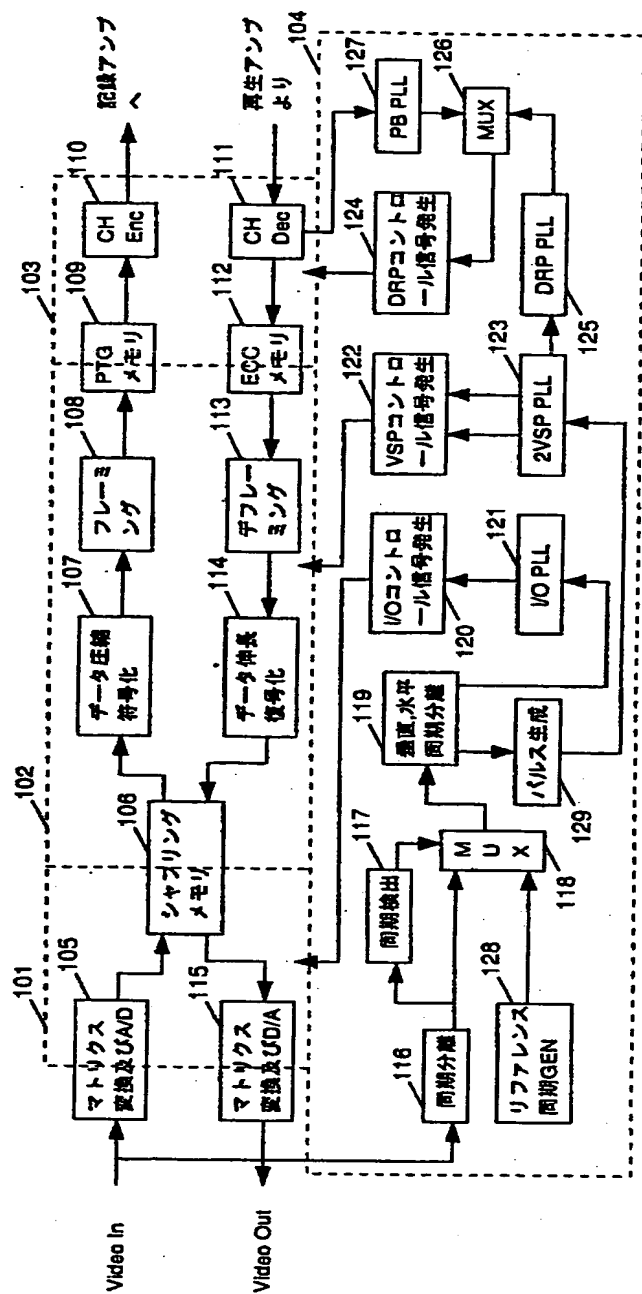
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 標準信号に比べて垂直同期信号の長さに恒常的に差がある場合、シャフリングメモリへの書き込みと読み出しが非同期のため、データの上書きや混合が発生する。

【解決手段】 シャフリングメモリとして、3フレーム分のメモリを使用することで、データが混ざることなくシャフリング処理が行える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区长池町22番22号
氏 名 シャープ株式会社